

WEST**End of Result Set**

Generate Collection

Print

L2: Entry 1 of 1

File: JPAB

Nov 24, 1998

PUB-NO: JP410313095A

DOCUMENT-IDENTIFIER: JP 10313095 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 24, 1998

INVENTOR-INFORMATION:

NAME

COUNTRY

HIROTA, TAKUYA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP09122289

APPL-DATE: May 13, 1997

INT-CL (IPC): H01 L 27/04; H01 L 21/822; H01 L 21/3205

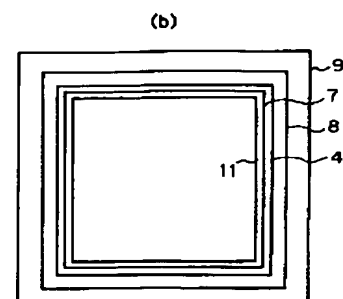
ABSTRACT:

PROBLEM TO BE SOLVED: To enable a capacitive element of large capacity to be added inside a chip without occupying an additional space by a method wherein a first polycrystalline silicon layer is formed and connected under a bonding pad, and the capacitive element is formed by the use of a single crystal silicon substrate through the intermediary of a thin silicon oxide film.

SOLUTION: A well 14 is built in a single crystal silicon substrate 1, a field oxide film (LOCOS) 2 is formed through thermal oxidation, and a silicon oxide film 3 is formed thereon through thermal oxidation. Furthermore, a first polycrystalline silicon wiring 4 is formed through a CVD method to serve as a counter substrate potential electrode. Thereafter, a diffusion layer 5 is formed through a self-aligned method, a silicon oxide film 6 is grown through thermal oxidation, and a contact hole 7 is bored in the silicon oxide film 6. Moreover, a first aluminum wiring layer 8 is formed thereon, and a second aluminum wiring layer 9 is formed through the intermediary of a contact hole 11.

COPYRIGHT: (C)1998,JPO

(11)特許出願公開番号



【特許請求の範囲】

【請求項1】 ボンディングPAD直下に接続・形成されている第1の多結晶シリコン層と、薄いシリコン酸化膜を介してその直下に存在する単結晶シリコン基板によって形成した容量素子を持たせたことを特徴とする半導体装置。

【請求項2】 前記、第1の多結晶シリコン層が第2の多結晶シリコン層に置き換わった構造とする請求項1記載の半導体装置。

【請求項3】 ボンディングPAD直下に接続・形成されている第2の多結晶シリコン層と薄いシリコン酸化膜を介してその直下に存在する第1の多結晶シリコン層によって形成した容量素子を持たせたことを特徴とする半導体装置。

【請求項4】 前記、半導体装置に対し、第3、第4の多結晶シリコン層を有し、それぞれが、上記の様な、容量構造を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特に、ボンディングPAD直下の容量素子の構造に関する。

【0002】

【従来の技術】以下に、ノイズに対する電源電位(VCC)配線とGND配線の揺れを抑える為に用いられている容量素子の従来例を示す。

【0003】図3において、1は単結晶シリコン基板、14はウェル領域、2はセル領域を分離するフィールド酸化膜(LOCOS)、3は(ゲート)シリコン酸化膜、4は第1多結晶シリコンよりなるゲート電極、5は拡散層、8は第1の金属(アルミ)配線層でありコンタクトホール7を通じて多結晶シリコン層4に接続されている。さらに、その上部には、第2の金属(アルミ)配線層9が存在し、コンタクトホール(スルーホール)11を通じて第1の金属(アルミ)配線層8に接続される構造をもつ。この第2の金属(アルミ)配線層9が電源電位(VCC)配線であり、多結晶シリコン配線層4とP型シリコン基板1により容量素子が形成されている。

【0004】図4は、従来のボンディングPAD部の断面図であり、第1または第2の金属配線層が存在しその上部に金(アルミ)線がボンディングされている。また第1または第2の金属配線層は、内部の電源配線に接続されている。

【0005】この様に、従来のPADは、単に金(アルミ)線をボンディングする為だけの構造となっていた。

【0006】以上の様に、一般的な電源配線層に容量素子を接続し、電源ノイズの揺れを抑えようとする構造は存在したが、この構造では、チップサイズによる制限を受けるため、チップ上に多く配置することができず、より多くのオンチップ容量を得るのは困難であった。

【0007】

【発明が解決しようとする課題】半導体装置は、今後、微細化、小型化(チップサイズなど)が益々進み、メモリセル部および周辺部容量ブロックの静電容量が、小さくなりつつある。そのため、電源電圧の変動(ノイズ)や α 線粒子入射時の電位の変動に対し、十分な注意を払う必要が生じる。

【0008】このことに対処する為に、チップ内に、余分な場所を取らずに大きな容量素子を付加する必要がでてきた。

【0009】本発明はチップ内に、余分な場所を取らずに大きな容量素子を付加することのできる半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】前記の目的は以下の手段によって達成される。

【0011】すなわち、本発明は、ボンディングPAD直下に接続・形成されている第1の多結晶シリコン層と、薄いシリコン酸化膜を介してその直下に存在する単結晶シリコン基板によって形成した容量素子を持たせたことを特徴とする半導体装置を提案するものであり、前記、第1の多結晶シリコン層が第2の多結晶シリコン層に置き換わった構造とすることを含む。

【0012】また、本発明は、ボンディングPAD直下に接続・形成されている第2の多結晶シリコン層と薄いシリコン酸化膜を介してその直下に存在する第1の多結晶シリコン層によって形成した容量素子を持たせたことを特徴とする半導体装置を提案するものであり、更に前記、半導体装置に対し、第3、第4の多結晶シリコン層を有し、それぞれが、上記の様な、容量構造を有することを特徴とする半導体装置を提案するものである。

【0013】

【発明の実施の形態】次に本発明について図面を参照して説明する。

(実施例1)図1(A)は、実施例1の電源またはGND用PAD部断面図であり、図1(B)は、実施例1のPAD平面図である。

【0014】図1(A)、ここでは、まず、単結晶シリコン基板1にウェル14を作り込み、熱酸化によりLOCOS2を形成し、その上に、シリコン酸化膜3(厚さ約12nm)を熱酸化により形成する。さらに、CVD法により第1多結晶シリコン配線4(厚さ約200nm)を形成する。これは、容量素子の対基板電位電極として用いられるものである。この後、イオン注入法によって拡散層5をセルフアラインで形成する。そして、熱酸化によりシリコン酸化膜6を100nm程度成長させる。

【0015】さらに、上記、第1多結晶シリコン配線4上部のシリコン酸化膜6にコンタクトホール7を形成する。そして、その上に、第1のアルミ(金属)配線層8

3

を形成する。もし、その半導体装置が第2のアルミ（金属）配線層9を有していない場合、この第1のアルミ（金属）配線層8がPADボンディング接続表面部として用いられる。

【0016】その半導体装置が第2のアルミ（金属）配線層9を有している場合、第1のアルミ（金属）配線層8の上部に、BPSG層間膜10（約300nm）を形成させた後、その上部にコンタクトホール（スルーホール）11を形成し、PADボンディング接続表面部となる第2のアルミ（金属）配線層9を形成する。

【0017】以上の様な構造を有し、このボンディングPADが電源（Vcc）用である場合、ウェル14をGND電位に設定し、第1多結晶シリコン配線4に対して容量をもち、もし、このボンディングPADがGND電位用である場合、単結晶シリコン基板1をVcc電位に設定し、第1多結晶シリコン配線4に対して容量をもたせる。

【0018】これにより、PAD部の面積を約100×100μmとすると、1PADあたり約50pF、1つのCHIPに電源PADを20個持っているとする、約1000pFの容量が得られる。

【0019】このように、実施例1では、一般的な半導体集積回路を形成する上で必要な通常プロセスのみを用いることにより、電源・GND用ボンディングPAD部直下に、容量素子を形成することができる。これによりチップ全体として、より多くのオンチップコンデンサー容量値を得ることができ、電源-GND間におけるノイズ等の揺れを防ぐことができる。

（実施例2）次に、上記実施例1において、ボンディング時の衝撃を考慮した実施例2を以下に説明する。（図2（A）参照）

まず、上記実施例1と同様に、単結晶シリコン基板1にウェル14を作り込み、熱酸化によりLOCOS2を形成し、その上に、シリコン酸化膜3（厚さ約12nm）を熱酸化により形成する。さらに、CVD法により第1多結晶シリコン配線4（厚さ約200nm）を形成する。この後、イオン注入法によって拡散層5をセルフアラインで形成する。そして、熱酸化によりシリコン酸化膜6を100nm程度成長させる。

【0020】ここより、実施例1とは異なり、上記、シリコン酸化膜6上に第2多結晶シリコン層12（厚さ約100nm）を形成し、さらに、熱酸化によりシリコン酸化膜13を100nm程度成長させる。

【0021】その後は、実施例1と同様に、上記、第2多結晶シリコン配線12上部のシリコン酸化膜13にコンタクトホール7を形成する。そして、その上に、第1のアルミ（金属）配線層8を形成する。もし、その半導体装置が第2のアルミ（金属）配線層9を有していない場合、この第1のアルミ（金属）配線層8がPADボンディング接続表面部として用いられる。

4

【0022】その半導体装置が第2のアルミ（金属）配線層9を有している場合、第1のアルミ（金属）配線層8の上部に、BPSG層間膜10（約300nm）を形成させた後、その上部にコンタクトホール（スルーホール）11を形成し、PADボンディング接続表面部となる第2のアルミ（金属）配線層9を形成する。

【0023】以上の様な構造を有し、このボンディングPADが電源（Vcc）用である場合、ウェル14を電源（Vcc）電位に、第1多結晶シリコン配線4をGND電位に設定することにより、ウェル14が第1多結晶シリコン配線4に対し容量をもち、第1多結晶シリコン配線4が第2多結晶シリコン配線12に対して容量をもつ。（第1多結晶シリコン配線4（GND電位）がウェル14と第2多結晶シリコン配線12（Vcc電位）によって挟み込まれる容量構造となる。）もし、このボンディングPADがGND電位用である場合、ウェル14をGND電位に、第1多結晶シリコン配線4を電源（Vcc）電位に設定することにより、ウェル14が第1多結晶シリコン配線4に対し容量をもち、第1多結晶シリコン配線4が第2多結晶シリコン配線12に対して容量をもつ。（第1多結晶シリコン配線4（Vcc電位）がウェル14と第2多結晶シリコン配線12（GND電位）によって挟み込まれる容量構造となる。）

これにより、PAD部の面積を約100×100μmとすると、1PADあたり約60pF、1つのCHIPに電源PADを20個持っているとする、約1200pFの容量が得られる。

【0024】このように、実施例2においても、一般的な半導体集積回路を形成する上で必要な通常プロセスのみを用いることにより、電源またはGND用ボンディングPAD部直下に、容量素子を形成することができる。また、実施例1を実施例2の様に改良することにより、ボンディング時の衝撃に強く、さらに、大きな容量値を得る事ができる。

【0025】

【発明の効果】以上、説明したように、本発明は、一般的な半導体集積回路を形成する上で必要な通常工程のみで実現可能であり、電源またはGND用ボンディングPAD（AL層）の直下にコンタクトホールを形成することにより第1の多結晶シリコン層と接続し、薄いシリコン酸化膜を介して単結晶シリコン基板との間に容量素子を形成することが可能となる。

【0026】近年、チップ面積の縮小化に伴い、電源配線の揺れを抑えるためのオンチップコンデンサーが縮小されているが、本発明では、容量素子を例えば電源用PADの直下に形成する為、チップ面積による制約を受けることはない。さらに、最近の半導体集積装置においては、多くの電源・GND用PADを装備している為、多くの容量素子を形成することが可能である。

【0027】さらに、上記、半導体装置に対し、第3、

第4の多結晶シリコン層をもち、それぞれ（第1から第4までの多結晶シリコン配線層）が、上記の様に重なり合い、容量構造を形成し、より大きな容量値をもつ容量素子を形成することも可能である。

【図面の簡単な説明】

【図1】図1（a）は本発明の実施例1のボンディングPAD部チップの断面図であり、図1（b）は実施例1のボンディングPAD部の平面図である。

【図2】図2（a）は本発明の実施例2のボンディングPAD部チップの断面図であり、図2（b）は実施例2のボンディングPAD部の平面図である。

【図3】従来例の容量素子部の断面図である。

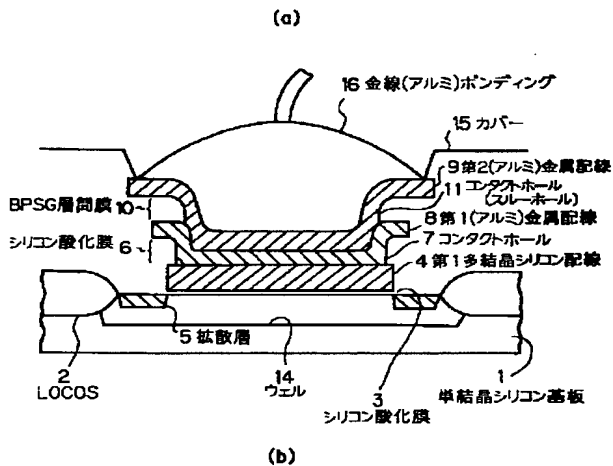
【図4】従来例のボンディングPAD部の断面図であ

る。

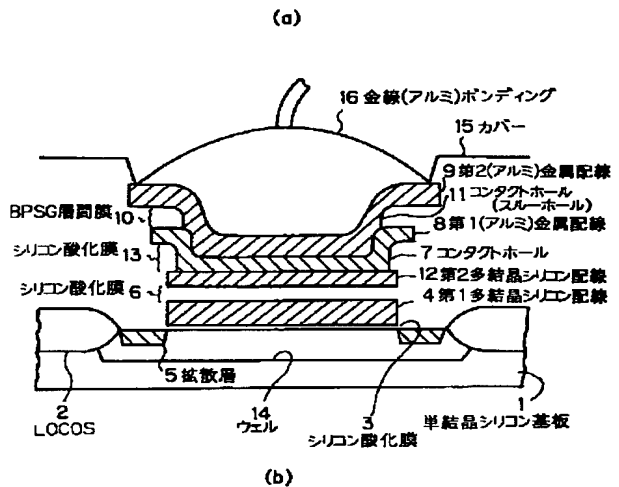
【符号の説明】

- 1 単結晶シリコン基板
- 2 LOCOS
- 14 ウェル領域
- 3、6、10、13 シリコン酸化膜
- 4 第1多結晶シリコン配線
- 12 第2多結晶シリコン配線
- 5 拡散層
- 7、11 コンタクトホール
- 8 第1金属（アルミ）配線
- 9 第2金属（アルミ）配線

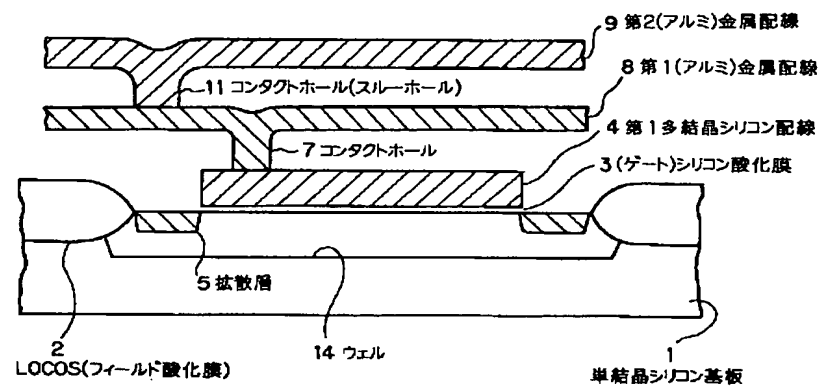
【図1】



【図2】



【図3】



【図4】

